

## MIS TYPE SEMICONDUCTOR DEVICE

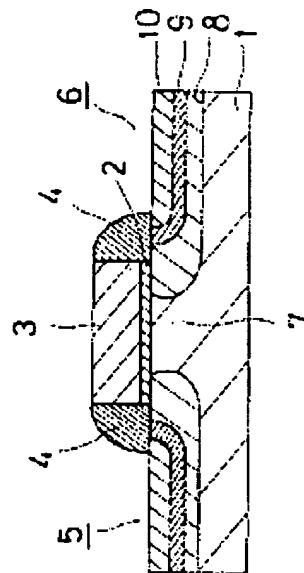
**Patent number:** JP2219237  
**Publication date:** 1990-08-31  
**Inventor:** YUTSUGI TATSUYUKI  
**Applicant:** SHARP CORP  
**Classification:**  
- **international:** H01L21/336; H01L29/784  
- **europen:**  
**Application number:** JP19890041388 19890220  
**Priority number(s):**

[Report a data error here](#)

### Abstract of JP2219237

**PURPOSE:** To relieve the electric field of junction in the depth direction of each region, and increase the junction breakdown voltage by a method wherein a source region and a drain region are constituted by laminating three impurity diffusion layers whose impurity concentration is decreased from the semiconductor surface toward the inside.

**CONSTITUTION:** A source region 5 and a drain region 6 are constituted of a first impurity diffusion layer 8, a second impurity diffusion layer 9, and a third diffusion layer 10. The second layer 9 is formed in the first layer 8 and the impurity concentration of the layer 9 is higher than that of the layer 8. The third layer 10 is formed in the second layer 9 and the impurity concentration of the layer 10 is higher than that of the layer 9. The impurity diffusion layers 8, 9, 10 are formed by ion implantation of impurity whose conductivity type is different from the substrate 1. That is, the impurity concentration becomes high in accordance with the order of the first, the second and the third layers. As a result, electric fields of junctions in the depth direction and in the transversal direction are relieved, so that junction breakdown voltage is increased and the generation of hot carrier is restricted.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

## ⑫ 公開特許公報 (A) 平2-219237

⑬ Int. Cl. 5  
H 01 L 21/336  
29/784

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月31日

8422-5F H 01 L 29/78 301 L  
審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 MIS型半導体装置

⑯ 特願 平1-41388

⑯ 出願 平1(1989)2月20日

⑰ 発明者 湯次達之 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社

内

⑯ 出願人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑯ 代理人 弁理士 野河信太郎

## 明細書

## 1. 発明の名称

MIS型半導体装置

## 2. 特許請求の範囲

1. 第1導電型半導体基板上に絶縁膜を介して配設されるゲート電極と、このゲート電極をマスクにしてイオン注入によって形成されるソース領域およびドレイン領域とを備えるMIS型半導体装置において、

ソース領域およびドレイン領域がそれぞれ、ゲート電極をマスクにしてイオン注入によって形成される第1不純物拡散層と、ゲート電極とその表面に形成されたサイドウォールとをマスクにしてイオン注入によって第1不純物拡散層内に形成される第1不純物拡散層の不純物濃度より高濃度の第2不純物拡散層と、ゲート電極とサイドウォールとをマスクにしてイオン注入によって第2不純物拡散層内に形成される第2不純物拡散層の不純物濃度より高濃度の第3不純物拡散層とで構成されることを特徴とするMIS型半導体装置。

## 3. 発明の詳細な説明

## (イ) 産業上の利用分野

この発明はMIS型半導体装置に関し、とくにLDD (Lightly Doped Drain) 構造を有するMIS型半導体装置に関する。

## (ロ) 従来の技術

従来、LSIやDRAMなどにおいて高集積化が進むにつれ、それらにて使用されるMIS型半導体装置の耐圧低下やホットキャリアによる信頼性の低下が生じてきたが、これらの問題点を解決するために、第3図に示すように、ドレイン領域を低濃度および高濃度の拡散領域の2重構造としたLDD構造のMIS型半導体装置が開発され実用化されている。

同図において、13はゲート電極で、たとえばp型シリコン基板11の表面に絶縁膜12を介して配設されている。そしてゲート電極13をマスクにしてイオン注入によって低濃度n型拡散領域14が形成されている。この低濃度n型拡散領域14に接合される高濃度n型拡散領域16は、ゲー

ト電極 13 にサイドウォール 15 が形成されたのち、サイドウォール 15 の付設されたゲート電極 13 をマスクにしてイオン注入によって形成される。そして低濃度および高濃度 n 型拡散領域 14, 17 の 2 つの領域によって、ソース領域 17 とドレイン領域 18 とが構成されている。この例にあっては、低濃度 n 型拡散領域 14 の深さ方向拡散長が高濃度 n 型拡散領域 16 の深さ方向拡散長を越えないように構成されている。

(ハ) 発明が解決しようとする課題

しかしながら上記 LDD 構造の低濃度 n 型拡散領域は、ドレイン電界を緩和することでホットキャリアの発生を抑制できるが、一方で、低濃度 n 型拡散領域による寄生抵抗の増大により、電流駆動能力が低下するという問題があった。また、DRAM などで使用される MIS 型半導体装置では、その微細化が進み、半導体基板濃度の上昇につれ、ソース、ドレイン接合の耐圧劣化が生じるという問題があった。

この発明は上記の事情に鑑みてなされたもので、

-3-

3 不純物拡散層とで構成されることを特徴とする MIS 型半導体装置が提供される。

(ホ) 作用

第 1、第 2 および第 3 不純物拡散層は、この順に不純物濃度が高くなるので、深さ方向および横方向の接合の電界を緩和させる。これによって接合耐圧が向上され、ホットキャリアの発生が抑制される。

また、第 2 不純物拡散層は、ソース領域およびドレイン領域の寄生抵抗を減少させて、駆動能力を向上させる。

(ヘ) 実施例

以下、この発明の実施例を図面にて詳述するが、この発明は以下の実施例に限定されるものではない。

第 1 図において、1 は第 1 導電型半導体基板（以下基板と記す）で、たとえば p 型シリコンにて構成される。この基板 1 の表面に、絶縁膜であるゲート酸化膜 2 を介してゲート電極 3 が配設される。4 はゲート電極 3 の側面に形成されるサイドウォ

ールキャリアの発生を抑制しつつ寄生抵抗の増大による電流駆動力の低下を防止し、かつソース、ドレイン接合の耐圧劣化を防止することができる MIS 型半導体装置を提供しようとするものである。

(ニ) 課題を解決するための手段

この発明によれば、第 1 導電型半導体基板上に絶縁膜を介して配設されるゲート電極と、このゲート電極をマスクにしてイオン注入によって形成されるソース領域およびドレイン領域とを備える MIS 型半導体装置において、ソース領域およびドレイン領域がそれぞれ、ゲート電極をマスクにしてイオン注入によって形成される第 1 不純物拡散層と、ゲート電極とその壁面に形成されたサイドウォールとをマスクにしてイオン注入によって第 1 不純物拡散層内に形成される第 2 不純物拡散層の不純物濃度より高濃度の第 2 不純物拡散層と、ゲート電極とサイドウォールとをマスクにしてイオン注入によって第 2 不純物拡散層内に形成される第 2 不純物拡散層の不純物濃度より高濃度の第

-4-

ールである。

5 はソース領域であり、また 6 はドレイン領域であり、ゲート電極 3 真下のチャネル領域 7 を挟んで形成される。ソース領域 5 およびドレイン領域 6 はそれぞれ、第 1 不純物拡散層 8 と、第 1 不純物拡散層 8 内に形成される第 1 不純物拡散層 8 の不純物濃度より高濃度の第 2 不純物拡散層 9 と、第 2 不純物拡散層 9 内に形成される第 2 不純物拡散層 9 の不純物濃度より高濃度の第 3 不純物拡散層 10 とで構成される。それぞれの不純物拡散層 8, 9, 10 は基板 1 とは異なる導電型の不純物をイオン注入して形成される。

第 2 不純物拡散層 9 は、第 1 不純物拡散層 8 の深さ方向の拡散長および横方向の拡散長を越えることなく形成される。同様にして第 3 不純物拡散層 10 は、第 2 不純物拡散層 9 の深さ方向の拡散長および横方向の拡散長を越えることなく形成される。

なお、第 1 図においては、ソース電極、ドレン電極、さらにはそれらのための電極配線などは

公知の構造であってよいので、図示することを省略した。

次に第2図を交えてこの実施例の構造工程を説明する。

最初に、第2図の(a)に示すようにp型シリコンの基板1上に、厚さ200Åのゲート酸化膜2および厚さ3500Åのn型多結晶シリコン膜を堆積した後、ホトエッチング技術によりゲート電極3を形成する。しかる後、ゲート電極3をマスクとして、リンを加速電圧50KeV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ で、同時にリンより拡散係数の小さいヒ素を加速電圧50KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で2重イオン注入をおこない、900°Cの温度にて40分の拡散をおこなって2重拡散をして、第2不純物拡散層9及び第3不純物拡散層7を形成する。

なおこの実施例では、ゲート電極3の材料として、n型多結晶シリコン膜を使用したが、ポリサイド膜、またはp型多結晶シリコン膜を用いてもよい。

次に全面に厚さ2500ÅのSiO<sub>2</sub>膜を堆積し、反応性イオンエッティング法により全面エッティングをおこない、第2図の(b)に示すように、ゲート電極

3に隣接してSiO<sub>2</sub>からなるサイドウォール4を形成する。

次いで、ゲート電極3およびサイドウォール14をマスクとして、第2図の(c)に示すように、リンを加速電圧50KeV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ で、同時にリンより拡散係数の小さいヒ素を加速電圧50KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で2重イオン注入をおこない、900°Cの温度にて40分の拡散をおこなって2重拡散をして、第2不純物拡散層9及び第3不純物拡散層7を形成する。

上記工程を経て形成することにより、第1～3不純物拡散層8, 9, 10はそれぞれ、第1不純物拡散層8の不純物濃度が第2不純物拡散層9の濃度より低濃度に、第2不純物拡散層9の濃度が第3不純物拡散層10の濃度より低濃度に設定できる。さらに、第1不純物拡散層8の横方向拡散長を第2不純物拡散層9の横方向拡散長が越えず、第2不純物拡散層9の横方向拡散長を第3不純物拡散層10の横方向拡散長が越えないように設定できる。加えて、第2不純物拡散層9の深さ方向

-7-

拡散長を第3不純物拡散層10の深さ方向拡散長が越えず、第1不純物拡散層8の深さ方向拡散長を第2不純物拡散層9の深さ方向拡散長が越えないように設定することができる。

なお、この実施例では、第2拡散領域と第3拡散領域とを形成するために同時イオン注入、同時拡散を行っているが、それぞれ別個にイオン注入および拡散を行ってもよい。

また上記実施例では、nチャンネルMOS ICに適用した例について説明したが、CMOS ICなどにも適用できることは言うまでもない。

#### (ト) 発明の効果

この発明によれば、高耐圧で、高駆動能力を備えたMIS型半導体装置が得られる。

すなわち、ソースおよびドレイン領域を、不純物濃度を半導体基板表面からその内部方向に向かって順次減少させた3つの不純物拡散層を積層させて構成することにより、それぞれの領域の深さ方向の接合の電界が緩和されるため、接合耐圧が向上し、また、横方向の接合の電界も緩和されるた

-8-

め、ホットキャリア発生が抑制され、信頼性も向上する。

さらに、中濃度の第2不純物拡散層の導入により、ソースおよびドレイン領域の寄生抵抗が減少するため、駆動能力が向上する。

#### 4. 図面の簡単な説明

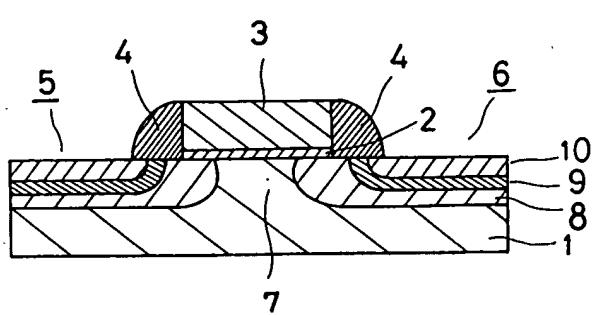
第1図はこの発明の実施例の構成を示す縦断面図、第2図は実施例を製造する工程を説明するための工程図、第3図は従来例の構成を示す縦断面図である。

- 1 …… 第1導電型半導体基板、
- 2 …… ゲート酸化膜、 3 …… ゲート電極、
- 4 …… サイドウォール、 5 …… ソース領域、
- 6 …… ドレイン領域、
- 8 …… 第1不純物拡散層、
- 9 …… 第2不純物拡散層、
- 10 …… 第3不純物拡散層。

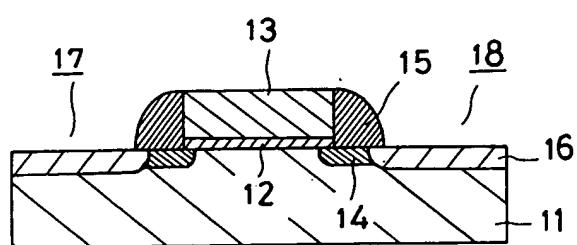
代理人 弁理士 野河 信太郎



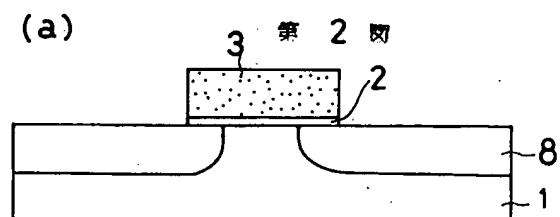
第 1 図



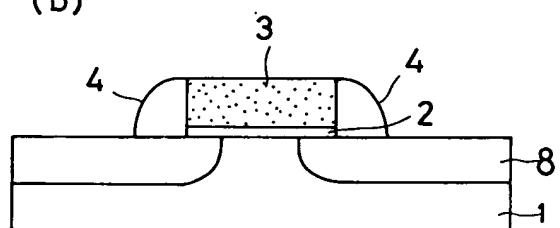
第 3 図



(a)



(b)



(c)

